

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-250124

(43)Date of publication of application : 05.10.1990

(51)Int.Cl. G06F 11/30  
G06F 11/00

(21)Application number : 01-070435

(71)Applicant : AKEBONO BRAKE IND CO LTD  
FUJITSU LTD

(22)Date of filing : 24.03.1989

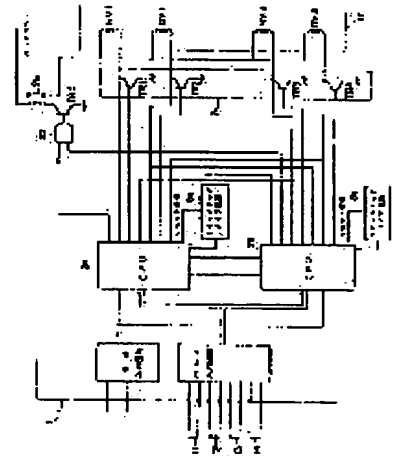
(72)Inventor : KUNIMI TAKASHI  
AKIMA HIDEO  
MORI FUMITOSHI

## (54) MALFUNCTION PREVENTING METHOD FOR ON-VEHICLE ELECTRONIC CONTROLLER

### (57)Abstract:

**PURPOSE:** To improve the reliability of a system by providing plural CPUs accompanied with a resetting means, measuring the number of times of its reset with the other normal CPU when abnormality is generated in one CPU and repetition reset is set and stopping the function of an electronic controller when the number of times of the reset exceeds a prescribed number.

**CONSTITUTION:** In an electronic controller ECU 1, CPUs 2a, 2b are mounted by every channel, operations of the CPUs 2a, 2b are monitored by timer circuits 8a, 8b, respectively, and also, when abnormality is generated, its function is stopped temporarily, and after a prescribed time lapses, it is reset and restarted. When abnormality is generated in the CPU 2a, the timer circuit 8a resets the CPU 2a, and restarts it after a prescribed time lapses. As long as the function of the CPU 2a does not return to its normal state, the reset and the restart of the CPU 2a are repeated, the normal CPU 2b counts the number of times of the reset, and when it exceeds the prescribed number of times, the normal CPU 2b stops its own function. In such a manner, where is no possibility that the ECU causes the malfunction, and the reliability of a system can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USP 10)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-250124

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月5日

G 06 F 11/30  
11/00

3 1 0 B  
3 5 0 N

7343-5B  
7343-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 車載用電子制御装置の誤動作防止方法

⑯ 特 願 平1-70435

⑰ 出 願 平1(1989)3月24日

⑱ 発 明 者 国 見 敬 埼玉県羽生市東5丁目4番71号 曙ブレーキ工業株式会社  
開発本部内

⑲ 発 明 者 秋 間 秀 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 発 明 者 森 文 利 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉑ 出 願 人 曙ブレーキ工業株式会 東京都中央区日本橋小網町19番5号  
社

㉒ 出 願 人 富士通株式会 神奈川県川崎市中原区上小田中1015番地  
社

㉓ 代 理 人 弁理士 山元 俊 仁

明 細 書

1. 発明の名称

車載用電子制御装置の誤動作防止方法

2. 特許請求の範囲

所定の処理プログラムに従って動作するCPUと、このCPUに上記処理プログラムの途中で異常を生じた場合、このCPUをリセットして上記所定の処理プログラムを再スタートさせるリセット手段とを備えた車載用電子制御装置において、上記リセット手段をそれぞれ伴ったCPUを複数設け、1つのCPUに異常を生じてこのCPUが上記リセット手段により反復リセットされた場合、そのリセット回数を他の正常なCPUで計測し、この計測されたリセット回数が所定数を超えたとき、上記正常なCPUにより上記電子制御装置の機能を停止させるようにしたことを特徴とする車載用電子制御装置の誤動作防止方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はCPUを備えた車載用電子制御装置の

誤動作防止方法に関する。

(従来技術)

例えば、滑り易い路面上における制動時の車輪ロックを防止するためのアンチロック制御装置として、中央処理装置(以下「CPU」と呼ぶ)を備えた電子制御装置(以下「ECU」と呼ぶ)が用いられている。

第3図はこのような従来の2チャンネルアンチロック制御装置の概略的構成を示すブロック図で、ECU1にはCPU2が内蔵され、さらに接点入力回路3、パルス入力回路4、ウォーニングランプ駆動回路5、リレー駆動回路6、バルブ駆動回路7およびウォッチドッグタイマ回路8等を備えている。パルス入力回路4には、右前輪速度センサ11、左前輪速度センサ12、右後輪速度センサ13および左後輪速度センサ14から発生する各車輪速度をあらわす信号が入力され、接点入力回路3には、ブレーキスイッチS1がONになったとき信号が入力されるようになっている。15はブレーキランプである。ウォッチドッグタイマ

回路 8 は、処理プログラムが一周する毎に（例えば 10 msec 毎に）CPU 2 から出力される周期的なパルス信号（いわゆるドッグフード信号）の周期を監視し、CPU 2 が暴走してドッグフード信号の周期が異常を来たした場合、CPU 2 の動作を一旦停止させ、所定時間（例えば 100 msec）経過後にリセット信号を出力して上記 CPU 2 を再スタートさせる機能を有する。

一方、ECU 1 の出力側にはリレーボックス 16 およびモジュレータ 17 よりなる被駆動ユニットが接続されており、リレーボックス 16 内には、ソレノイドリレー 18 およびモータリレー 19 が設けられている。上記モジュレータ 17 内には、ブレーキ液をリザーバから汲み上げるポンプを駆動するモータ 20 と、4 個のバルブソレノイド HV 1、DV 1、HV 2、DV 2 が設けられている。モータ 20 にはモータリレー 19 を通じて電源（バッテリー）から電力が供給される。ウォーニングランプ駆動回路 5 にはウォーニングランプ 21 が接続され、またダイオード 22 を介してオルタ

ネータの L 端子に接続されている。なお、本アンチロック制御装置は X 配管 2 チャンネル制御型に構成され、右前輪ブレーキと左後輪ブレーキとが第 1 の油圧系で制御され、左前輪ブレーキと右後輪ブレーキとが第 2 の油圧系で制御されるようになっており、各油圧系にそれぞれ設けられた加圧バルブおよび減圧バルブの開閉によって第 1 および第 2 の油圧系の油圧が制御される。この場合、HV 1 および DV 1 は第 1 の油圧系の加圧バルブのソレノイドおよび減圧バルブのソレノイドを示し、HV 2 および DV 2 は第 2 の油圧系の加圧バルブのソレノイドおよび減圧バルブのソレノイドを示している。各ソレノイド HV 1、DV 1、HV 2、DV 2 は、ソレノイドリレー 17 の常開接点の開成時にバルブ駆動回路 7 により駆動されるようになっている。

以上が従来のアンチロック制御装置の一例構成であるが、このような構成では、CPU 2 の接地不完全、サージ電流による CPU 2 の内部破損等によって CPU 2 が暴走した場合、ウォッチドッ

3

グタイマ回路 8 からのリセット信号により CPU 2 がリセットされるとしても、再び処理プログラムが再スタートされるため、CPU 2 の暴走が反復されることになり、ECU 1 が誤動作するという問題があった。

#### （発明の目的）

そこで本発明は、CPU に異常を生じた場合、ECU の機能を停止させるようにしてシステムの信頼性の向上を図った車載用電子制御装置の誤動作防止方法を提供することを目的とする。

#### （発明の構成）

本発明は、所定の処理プログラムに従って動作する CPU と、この CPU に上記処理プログラムの途中で異常を生じた場合、この CPU をリセットして上記所定の処理プログラムを再スタートさせるリセット手段とを備えた車載用電子制御装置において、上記リセット手段をそれぞれ備った CPU を複数設け、1 つの CPU に異常を生じてこの CPU が上記リセット手段により反復リセットされた場合、そのリセット回数を他の正常な

4

CPU で計測し、この計測されたりセット回数が所定数を超えたとき、上記正常な CPU により上記電子制御装置の機能を停止させるようにしたこととを特徴とする。

#### （実施例）

以下、本発明の一実施例について図面を参照して詳細に説明する。

第 1 図は本発明が適用される 2 チャンネルアンチロック制御装置の要部の概略的構成を示すブロック図で、第 3 図の装置に対応する部分には同一符号を付して重複する説明は省略するが、ECU 1 は各チャンネル毎に CPU を 2 a、2 b として搭載しており、CPU 2 a はトランジスタ TR 1 および TR 2 を介して第 1 の油圧系の加圧バルブソレノイド HV 1 および減圧バルブソレノイド DV 1 を制御し、CPU 2 b はトランジスタ TR 3 および TR 4 を介して第 2 の油圧系の加圧バルブソレノイド HV 2 および減圧バルブソレノイド DV 2 をそれぞれ制御している。トランジスタ TR 1 ～ TR 4 のコレクタ電位は CPU 2 a、

CPU 2 b にフィードバックされており、各バルブの動作が CPU 2 a および CPU 2 b の双方によって確認される。また、CPU 2 a、2 b の動作は第 3 図の場合と同様に、それぞれウォッチドッグタイマ回路 8 a、8 b によって監視され、かつ異常が生じた場合、その機能が一旦停止され、所定時間（例えば 100 msec）後にリセットされて再スタートするようになっている。両 CPU 2 a、2 b は、相互間でリセット信号を含むデータ交換を行なって他系統の CPU の異常を検知するようになっている。さらにアンド回路 25 が設けられており、両 CPU 2 a、2 b が正常に動作している場合は、双方の CPU 2 a、2 b からの出力が上記アンド回路 25 に与えられ、このアンド回路 25 の出力によってトランジスタ TR5 が常時 ON になっている。トランジスタ TR5 のコレクタ回路にはリレー 26 が接続されており、トランジスタ TR5 のコレクタ電流によってリレー 26 の接点は ON 状態に保持され、これによってモジュレータ 17 のバルブソレノイド HV1、DV1、

HV2、DV2 が電源に接続されてモジュレータ 17 が動作しうように構成されている。

以上の構成において、いま例えば第 1 系統の CPU 2 a に異常が生じた場合を考える。この場合、CPU 2 a からウォッチドッグタイマ回路 8 a に出されるドッグフード信号が異常になるからウォッチドッグタイマ回路 8 a は CPU 2 a をリセットし、所定時間後再スタートさせる。ここで、CPU 2 a の機能が正常に戻らない限り、CPU 2 a のリセット、再スタートは反復されることになるが、第 2 系統の正常な CPU 2 b は、第 1 系統の CPU 2 a がウォッチドッグタイマ回路 8 a によってリセットされた回数をカウントしており、このリセット回数が所定の回数（例えば 10 回）を超えると、正常な CPU 2 b は自らの機能を停止する。この CPU 2 b の機能停止により、アンド回路 25 に対する CPU 2 b の出力がゼロになり、これに伴ってアンド回路 25 の出力もゼロになるからトランジスタ TR5 は OFF になり、リレー 26 の接点が開放される。したがってモジュ

7

レータ 17 のバルブソレノイド HV1、DV1、HV2、DV2 に対する電源供給が断たれ、このアンチロック制御装置の機能は停止される。

なお、一方の系統の CPU がハードウェア的に破損して他系統の CPU との間のデータ交換が不可能になったような場合でも、同様に正常な CPU がこれを検知して自らの機能を停止させ、これによりモジュレータ 17 に対する電源供給を遮断する。

次に第 2 図は他系統の CPU の異常を検知した場合に正常な CPU が実行する処理のフローチャートである。

まずステップ S1 において、通信時間が正常かを判定する。この通信時間とは、他系統の CPU に対して送信を行ってから、他系統の CPU より受信確認の信号を受け取るまでの時間を意味し、正常な場合を例えば 5 msec としている。この通信時間が正常な場合は（YES）自らのメインプログラムを実行する。

次にステップ S1 で上記通信時間が異常である

8

（NO）と判定した場合は、ステップ S2 に進み、他系統の CPU に異常が発生したと判断し、ステップ S3 でタイムアップ時間を T1 とするタイマをスタートさせる。このタイマ時間 T1 は、CPU がウォッチドッグタイマ回路によりリセットされるまでの時間（例えば 100 msec）よりも長い時間（例えば 200 msec）に設定される。次にステップ S4 において、他系統の CPU がウォッチドッグタイマ回路によってリセットされたか否かを判定する。リセットされたことが検知された場合（YES）、ステップ S5 でカウンタのカウント数 C をインクリメントし、次のステップ S6 でカウンタ数 C が規定回数 N（例えば 10 回）以上になったか否かを判定する。そしてカウンタ数 C が N 未満の間はステップ S1 に戻るが、 $C \geq N$  となった場合、ステップ S7 へ進んで他系統の CPU がソフトウェア的に暴走していると判定し、次のステップ S8 で自系統の CPU の機能を停止させる。したがって電源が断になり、これにより他系統の機能も停止する。なお、上記カウンタはイグ

ニッションスイッチがOFFされることによってリセットされる。

一方、ステップS4の判定で、他系統のCPUのリセット信号が受信できなかった場合(NO)、ステップS9へ進んでリセット信号が受信不能な時間Tがタイマ時間T1以上となったか否かを判定し、 $T \geq T1$ になったとき、ステップS7へ進んで他系統のCPUがハードウェア的に故障したと判定して、ステップS8で自系統のCPUの機能を停止させ、電源を断にする。

以上の説明で本発明による車載用電子制御装置における誤動作防止方法の一実施例が明らかとなったが、本発明はアンチロック制御装置のみでなく、CPUを備えた種々の車載用電子制御装置にも適用することができるものである。

#### (発明の効果)

本発明によれば、CPUを複数設け、1つのCPUに異常が生じた場合、他の正常なCPUがこれを感じてECU全体の機能を停止させるようになっているから、ECUが誤動作するおそれ

がなく、システムの信頼性を向上させることができる。

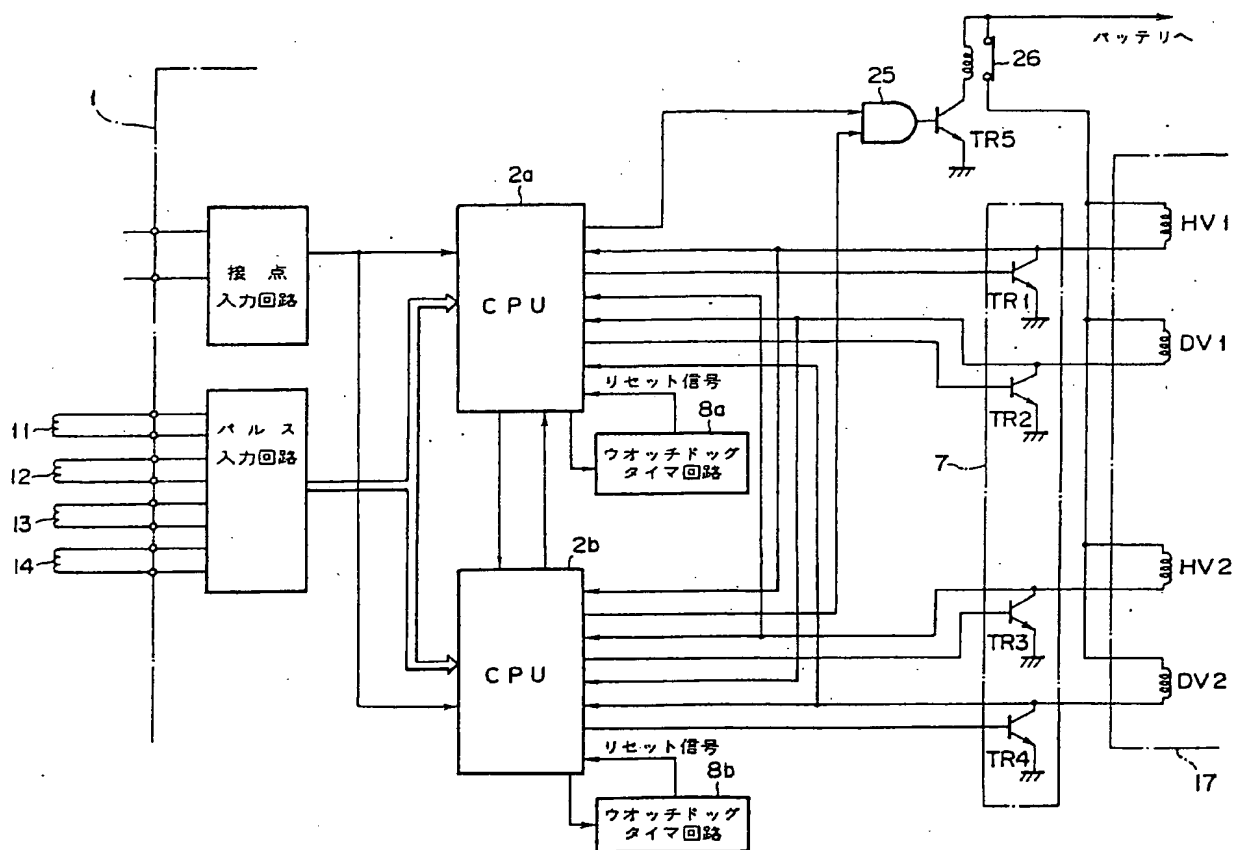
#### 4. 図面の簡単な説明

第1図は本発明の方法が適用される2チャンネルアンチロック制御装置の要部の概略的構成を示すブロック図、第2図は本発明の方法の一例を示すフローチャート、第3図は従来の2チャンネルアンチロック制御装置の概略的構成を示すブロック図である。

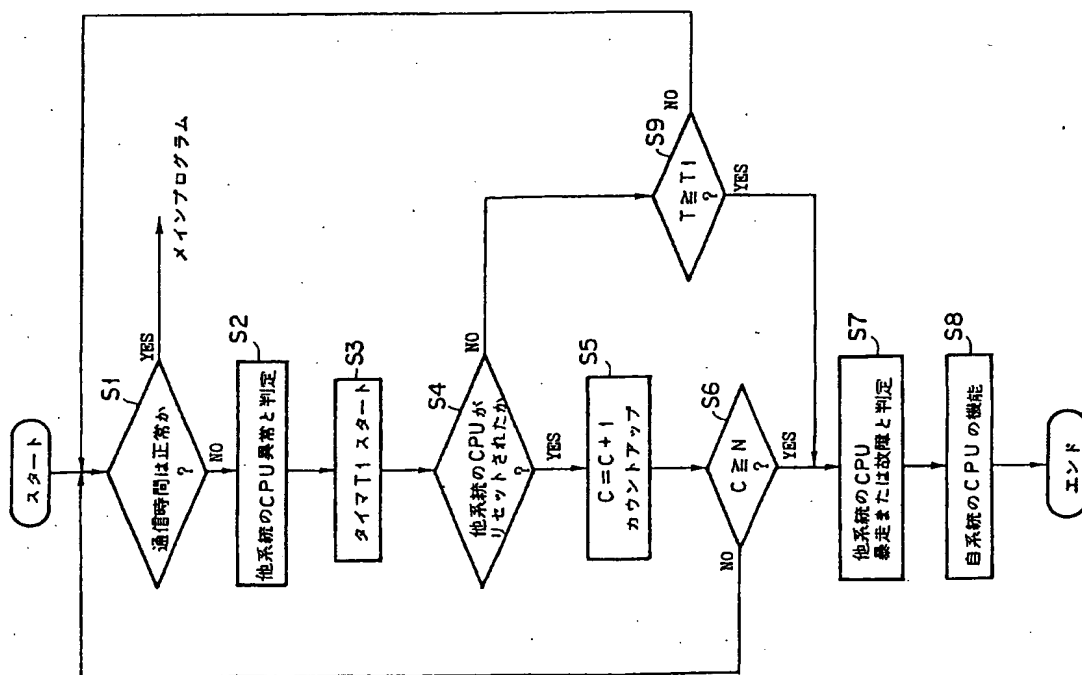
- 1……ECU
- 2、2a、2b……CPU
- 7……バルブ駆動回路
- 8、8a、8b……ウォッチドッグタイマ回路
- 17……モジュレータ
- 25……アンド回路

代理人 弁理士 山 元 俊 仁

第 1 図



第 2 図



第 3 図

